

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

(9) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Offenlegungsschrift
(11) DE 3424587 A1

(5) Int. Cl. 4:
G 06 F 13/00
G 06 F 5/06

D1

DE 3424587 A1

(21) Aktenzeichen: P 34 24 587.1
(22) Anmeldetag: 4. 7. 84
(23) Offenlegungstag: 9. 1. 86

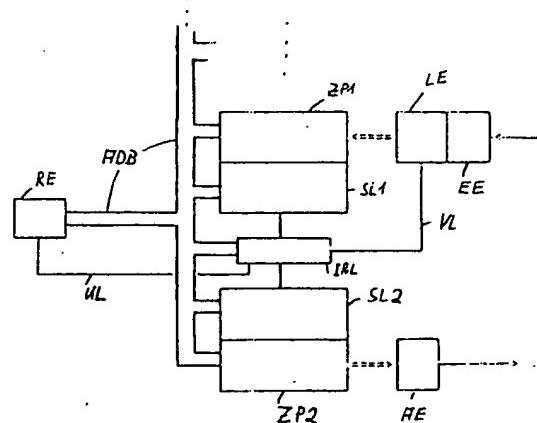
(71) Anmelder:
Standard Elektrik Lorenz AG, 7000 Stuttgart, DE

(72) Erfinder:
Gasser, Franz, Dipl.-Ing., 7250 Leonberg, DE

(5) Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechnereinheit und über Ein-/Ausabeeinheiten angeschlossenen Übertragungsleitungen

Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechnereinheit und über Ein-/Ausabeeinheiten angeschlossenen Übertragungsleitungen.

Jede Übertragungsrichtung weist einen Zwischenspeicher (ZP1, ZP2) auf, die über einen Adressen-/Datenbus (ADB) an eine Rechnereinheit (RE) und über Ein-/Ausabeeinheiten (EE, AE) an Übertragungsleitungen angeschlossen sind. Den Zwischenspeichern (ZP1, ZP2) ist je eine programmierbare Schwellenlogikeinheit (SL1, SL2) zugeordnet, die einerseits über den Adressen-/Datenbus (ADB) und andererseits über eine Unterbrechungsanforderungslogik (IRL) mit der Rechnereinheit (RE) verbunden sind.



DE 3424587 A1

3424587

Standard Elektrik Lorenz
Aktiengesellschaft
Stuttgart

F. Gasser -1

Patentansprüche

1. Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechnereinheit (RE) und über Ein-/Ausabeeinheiten (EE, AE) angeschlossene Übertragungsleitungen, wobei für die erste Übertragungsrichtung 05 - Eingabeeinheit (EE), Rechnereinheit (RE) - ein erster Zwischenspeicher (ZP1) und für die zweite Übertragungsrichtung - Rechnereinheit (RE), Ausgabeeinheit (AE) - ein zweiter Zwischenspeicher (ZP2) vorgesehen ist, die einerseits über einen Adressen-/Datenbus (ADB) mit der 10 Rechnereinheit (RE) und andererseits mit der Ein- bzw.

ZT/P1-Kn/B

02.07.1984

F. Gasser -1

Ausgabeeinheit (EE, AE) verbunden sind, dadurch
gekennzeichnet, daß eine erste programmierbare
Schwellenlogikeinheit (SL1) an den ersten Zwischen-
speicher (ZP1) angeschlossen ist, daß eine zweite programmierbare
Schwellenlogikeinheit (SL2) an den zweiten
Zwischenspeicher (ZP2) angeschlossen ist, daß die erste und die zweite programmierbare Schwellenlogikeinheit (SL1, SL2) über den Adressen-/Datenbus (ADB) mit der Rechnereinheit (RE) verbunden sind, daß eine Unterbrechungsanforderungslogik (IRL) zwischen die erste und die zweite programmierbare Schwellenlogikeinheit (SL1, SL2) geschaltet und über den Adressen-/Datenbus (ADB) sowie eine Unterbrechungsanforderungsleitung (UL) an die Rechnereinheit (RE) geführt ist und daß die erste und die zweite programmierbare Schwellenlogikeinheit (SL1, SL2) einerseits durch die Rechnereinheit (RE) vorgebbare Schwellenwerte speichern und andererseits die Anzahl der in die Zwischenspeicher (ZP1, ZP2) eingeschriebenen bzw. ausgelesenen Datenworte zählen und beim Erreichen der vorgegebenen Schwellenwerte ein Signal über die Unterbrechungsanforderungslogik (IRL) und die Unterbrechungsanforderungsleitung (UL) an die Rechnereinheit (RE) senden.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die erste und die zweite programmierbare Schwellenlogikeinheit (SL1, SL2) eine erste bzw. zweite Zähler-Registereinheit (ZR1, ZR2) enthalten, die mit dem ersten bzw. zweiten Zwischenspeicher (ZP1, ZP2) sowie über den Adressen-/Datenbus (ADB) mit der Rechnereinheit (RE) und über eine erste bzw. zweite Vergleichseinheit (VE1, VE2) mit der Unterbrechungsanforderungslogik (IRL) verbunden sind.

F. Gasser -1

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Unterbrechungsanforderungslogik (IRL) ein Unterbrechungsanforderungsregister (IANR), ein Unterbrechungsmaskierungsregister (IMAR) und ein Unterbrechungsausführungsregister (IAUSR) aufweist, daß das Unterbrechungsanforderungsregister (IANR) mit den Vergleichseinheiten (VE1, VE2), mit dem Unterbrechungsmaskierungsregister (IMAR) und über den Adressen-/Datenbus (ADB) mit der Rechnereinheit (RE) verbunden ist, daß das Unterbrechungsmaskierungsregister (IMAR) weiterhin an das Unterbrechungsausführungsregister (IAUSR) und über den Adressen-/Datenbus (ADB) an die Rechnereinheit (RE) geführt ist und daß das Unterbrechungsausführungsregister (IAUSR) an eine logische ODER-Schalteinheit (OR) geschlossen ist, welche über die Unterbrechungsanforderungsleitung (UL) mit der Rechnereinheit (RE) in Verbindung steht.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Logikeinheit (LE), die zwischen jede Eingabeeinheit (EE) und jedem ersten Zwischenspeicher (ZP1) geschaltet ist, über je eine Verbindungsleitung (VL) mit dem Unterbrechungsanforderungsregister (IANR) verbunden ist, wodurch beim Übertragen von Daten in Paketform von seiten der Übertragungsleitungen ein Ende-Datenwort einer Nachricht in der Logikeinheit (LE) decodiert und von der Logikeinheit (LE) über die Verbindungsleitung (VL) ein Bit in dem Unterbrechungsanforderungsregister (IANR) gesetzt/gelöscht wird.

F. Gasser -1

Schaltungsanordnung zur Steuerung der bidirektionalen
Datenübertragung zwischen einer Rechnereinheit und über
Ein-/Ausgabeeinheiten angeschlossenen Übertragungsleitungen

Die Erfindung betrifft eine Schaltungsanordnung zur Steue-
05 rung der bidirektionalen Datenübertragung zwischen einer
Rechnereinheit und über Ein-/Ausgabeeinheiten angeschlos-
sene Übertragungsleitungen, wobei für die erste Übertra-
gungsrichtung - Eingabeeinheit, Rechnereinheit - ein
erster Zwischenspeicher und für die zweite Übertragungs-
10 richtung - Rechnereinheit, Augabeeinheit - ein zweiter
Zwischenspeicher vorgesehen ist, die einerseits über einen
Adressen-/Datenbus mit der Rechnereinheit und andererseits
mit der Ein- bzw. Ausgabeeinheit verbunden sind.

Zwischen Systemen mit unterschiedlichem Echtzeitverhalten,
15 wie zum Beispiel zwischen schnell arbeitenden Rechnerein-
heiten und langsamem peripheren Geräten werden zur Anpas-
sung der Arbeitsgeschwindigkeiten Zwischenspeicher ver-
wendet. Zum Steuern der bidirektionalen Datenübertragung
zwischen solchen Systemen ist bereits eine Schaltungsanor-
dnung bekannt (EP 0 013 347) in der Schwellenwerte vorge-
geben werden, die einer vorgebbaren Speicherkapazität der
Zwischenspeicher entsprechen.

F. Gasser -1

Diese Schaltungsanordnung hat jedoch den Nachteil, daß beim Erreichen dieser Schwellenwerte in der ersten Übertragungsrichtung - Eingabeeinheit, Rechnereinheit - die über die Übertragungsleitung ankommenden Daten solange 05 nicht in den Zwischenspeicher aufgenommen werden können, bis durch Aktivitäten von seiten der Rechnereinheit der Zwischenspeicher soweit geleert ist, daß der Schwellenwert wieder unterschritten ist. Somit ist für diesen Zeitraum ein weiterer Zwischenspeicher notwendig, damit die ankommenden Daten nicht verloren gehen.

Weiterhin wird in der zweiten Übertragungsrichtung - Rechnereinheit, Ausgabeeinheit - beim Erreichen der Schwellenwerte das Auslesen des Zwischenspeichers veranlaßt, wobei die Rechnereinheit mit dem Einschreiben neuer 15 Daten solange warten muß, bis der Schwellenwert in dem Zwischenspeicher unterschritten ist. Dies bedeutet, daß als sinnvolle Schwellenwerte die maximale Kapazität der Zwischenspeicher zu setzen ist, womit sich aber eine durch Schwellenwerte abhängige Steuerung erübrigts.

20 Die technische Aufgabe der Schaltungsanordnung nach der Erfindung besteht darin, eine Steuerung zur bidirektionalen Datenübertragung zwischen einer Rechnereinheit und über Ein-/Ausgabeeinheiten angeschlossene Übertragungsleitungen so zu realisieren, daß eine minimale Belastung der 25 Rechnereinheit durch Unterbrechungsbearbeitungszeiten erreicht wird.

Eine erfindungsmäßige Schaltungsanordnung der eingangs genannten Art ist dadurch gekennzeichnet, daß eine erste programmierbare Schwellenlogikeinheit an den ersten 30 Zwischenspeicher angeschlossen ist, daß eine zweite programmierbare Schwellenlogikeinheit an den zweiten Zwischenspeicher angeschlossen ist, daß die erste und die zweite programmierbare Schwellenlogikeinheit über den

F. Gasser -1

Adressen-/Datenbus mit der Rechnereinheit verbunden sind,
daß eine Unterbrechungsanforderungslogik zwischen die
erste und die zweite programmierbare Schwellenlogikeinheit
geschaltet und über den Adressen-/Datenbus sowie eine
05 Unterbrechungsanforderungsleitung an die Rechnereinheit
geführt ist und daß die erste und die zweite programmier-
bare Schwellenlogikeinheit einerseits durch die Rechner-
einheit vorgebbare Schwellenwerte speichern und anderer-
seits die Anzahl der in die Zwischenspeicher eingeschrie-
10 benen bzw. ausgelesenen Datenworte zählen und beim Er-
reichen der vorgegebenen Schwellenwerte ein Signal über
die Unterbrechungsanforderungslogik und die Unter-
brechungsanforderungsleitung an die Rechnereinheit senden.

Ein Vorteil der Erfindung liegt insbesondere darin, daß
15 durch die programmierbaren Schwellenlogikeinheiten eine
optimale Anpassung an den Datenfluß der Übertragungslei-
tungen ermöglicht wird, da die Zwischenspeicher zu jedem
Zeitpunkt die von den Eingabeeinheiten ankommenden Daten
einschreiben oder Daten an die Ausgabeeinheiten auslesen.
20 Außerdem wird die Rechnereinheit durch die zwischen die
programmierbaren Schwellenlogikeinheiten geschaltete
Unterbrechungsanforderungslogik nur beim Erreichen der
vorgegebenen Schwellenwerte in den Zwischenspeichern zum
schnellen Auslesen und Einschreiben von Daten in die
25 Zwischenspeicher unterbrochen.

Weitere vorteilhafte Ausbildungen des Gegenstandes der Er-
findung sind den Unteransprüchen zu entnehmen. Ein Ausfüh-
rungsbeispiel wird im folgenden anhand der Zeichnungen er-
läutert. Es zeigen:

30 Figur 1 ein Blockschaltbild für eine erfindungsgemäße
Schaltungsanordnung, und

F. Gasser -1

Figur 2 eine Schwellenlogikeinheit und eine Unterbrechungsanforderungslogik der erfindungsgemäßen Schaltungsanordnung nach Figur 1.

Für eine Steuerung der bidirektionalen Datenübertragung 05 zwischen einer Rechnereinheit RE und über Ein-/Ausgabeeinheiten EE, AE angeschlossene Übertragungsleitungen ist, wie in Figur 1 gezeigt, für die erste Übertragungsrichtung - Rechnereinheit RE, Ausgabeeinheit AE - ein erster Zwischenspeicher ZP1 und für die zweite Übertragungsrichtung - Rechnereinheit RE, Ausgabeeinheit AE - ein zweiter Zwischenspeicher ZP2 vorgesehen. Dabei wird bei den Übertragungsleitungen hier von den Kanälen eines PCM 30 Systems ausgegangen, welches 32 Kanäle aufweist. Über die Übertragungsleitungen wird ein serieller Bitstrom von 15 4,096 MBit/sec d.h. 16 Bit/Kanal übertragen. Der serielle Bitstrom eines Kanals wird wortorientiert in den ersten Zwischenspeicher ZP1 eingeschrieben und aus dem zweiten Zwischenspeicher ZP2 ausgelesen. Zur besseren Übersicht wurde nur 1 PCM Kanal in gehender und kommender Übertragungsrichtung näher betrachtet, da alle anderen Kanäle entsprechend gesteuert werden.

Die Zwischenspeicher ZP1, ZP2 sind einerseits über einen Adressen-/Datenbus ADB mit der Rechnereinheit RE und andererseits über die Ein-/Ausgabeeinheiten EE, AE an die 25 PCM-Leitungen angeschlossen.

Von einem PCM Kanal eines PCM 30 Systems wird in jedem Rahmen, d.h. alle 125 µsec ein Datenwort übertragen. Dabei wird in der ersten Übertragungsrichtung ein ausgeblendetes 16 Bit Datenwort in der Eingabeeinheit EE aufgenommen, die 30 oberen 8 Bit abgetrennt sowie die unteren 8 Nutzbits in den ersten Zwischenspeicher ZP1 eingeschrieben.

F. Gasser -1

Ebenso verläßt in der zweiten Übertragungsrichtung alle
125 µsec ein Datenwort den zweiten Zwischenspeicher ZP2.
Dabei werden in einer hier nicht näher gezeigten Formati-
sierungslogik zunächst die oberen 8 Bit zwischenge-
05 speichert und beim Beschreiten der unteren 8 Bit das so
entstandene 16 Bit Datenwort in den zweiten Zwischen-
speicher ZP2 eingeschrieben und über die Ausgabeeinheit AE
in einen Kanal des PCM 30 System eingeblendet. Für die
Zwischenspeicher ZP1, ZP2 wird von einer Kapazität von 12
10 Datenworten ausgegangen.

Eine erste und eine zweite programmierbare Schwellenlogi-
keineheit SL1, SL2 ist an den ersten bzw. zweiten Zwischen-
speicher ZP1, ZP2 angeschlossen, sowie über den Adressen-/
Datenbus ADB mit der Rechnereinheit RE verbunden.
15 Zwischen die erste und zweite programmierbare Schwellen-
logikeineheit SL1, SL2 ist eine Unterbrechungsanforderungs-
logik IRL geschaltet, die über den Adressen-/Datenbus ADB
sowie eine Unterbrechungsanforderungsleitung UL mit der
Rechnereinheit RE in Verbindung steht.
20 Da alle programmierbaren Schwellenlogikeineheiten SL1, SL2
prinzipiell gleich aufgebaut sind, wird in Figur 2 nur die
erste programmierbare Schwellenlogikeineheit SL1 gezeigt.
Sie enthält eine erste Zähler-Registereinheit ZR1, die mit
dem ersten Zwischenspeicher ZP1, über den Adressen-/Daten-
25 bus ADB mit der Rechnereinheit RE und mit einer ersten
Vergleichseinheit VE1 verbunden ist.

Die Unterbrechungsanforderungslogik IRL weist, wie aus
Figur 2 ersichtlich, ein Unterbrechungsmaskierungsregister
IMAR, ein Unterbrechungsausführungsregister IAUSR und ein
Unterbrechungsanforderungsregister IANR auf. Das Unter-
30 brechungsanforderungsregister IANR ist mit den Vergleichs-
einheiten VE1, VE2, mit dem Unterbrechungsmaskierungs-
register IMAR und über den Adressen-/Datenbus ADB mit der

F. Gasser -1

Rechnereinheit RE verbunden. Ferner ist das Unterbrechungsmaskierungsregister IMAR an das Unterbrechungsausführungsregister IAUSR und über den Adressen-/Datenbus ADB an die Rechnereinheit RE geführt. Das Unterbrechungsausführungsregister IAUSR ist an eine logische ODER-Schalteinheit OR angeschlossen und über die Unterbrechungsanforderungsleitung UL mit der Rechnereinheit RE verbunden.

05 Die Rechnereinheit RE gibt nun über den Adressen-/Datenbus ADB der ersten und zweiten programmierbaren Schwellenlogikeinheit SL1, SL2 Schwellenwerte vor, die einer Anzahl im ersten Zwischenspeicher ZP1 durch eingeschriebene Datenworte besetzter Speicherplätze und im zweiten Zwischenspeicher ZP2 durch das Auslesen der Datenworte freigewordener Speicherplätze, im folgenden Leerplätze genannt, entsprechen. Diese Schwellenwerte werden in der ersten bzw. einer zweiten Zähler-Registereinheit ZR1, ZR2 abgespeichert. Dabei wird im folgenden für die erste programmierbare Schwellenlogikeinheit SL1 von einem Schwellwert 9, d.h. 9 Datenworte eingeschrieben und für die zweite programmierbare Schwellenlogikeinheit SL2 von einem Schwellenwert 8, d.h. 8 Leerplätzen, ausgegangen.

10 15 20 25 30 Die Rechnereinheit RE gibt nun über den Adressen-/Datenbus ADB der ersten und zweiten programmierbaren Schwellenlogikeinheit SL1, SL2 Schwellenwerte vor, die einer Anzahl im ersten Zwischenspeicher ZP1 durch eingeschriebene Datenworte besetzter Speicherplätze und im zweiten Zwischenspeicher ZP2 durch das Auslesen der Datenworte freigewordener Speicherplätze, im folgenden Leerplätze genannt, entsprechen. Diese Schwellenwerte werden in der ersten bzw. einer zweiten Zähler-Registereinheit ZR1, ZR2 abgespeichert. Dabei wird im folgenden für die erste programmierbare Schwellenlogikeinheit SL1 von einem Schwellwert 9, d.h. 9 Datenworte eingeschrieben und für die zweite programmierbare Schwellenlogikeinheit SL2 von einem Schwellenwert 8, d.h. 8 Leerplätzen, ausgegangen.

Die erste und zweite Zählerregistereinheit ZR1, ZR2 zählen wieviele Datenworte in den jeweiligen Zwischenspeicher ZP1, ZP2 eingeschrieben und ausgelesen worden sind. Somit enthalten die Zählerregistereinheiten ZR1, ZR2 einerseits die vorgegebenen Schwellenwerte und andererseits die Anzahl der zu jedem Zeitpunkt eingeschriebenen Datenworte des ersten Zwischenspeichers ZP1 bzw. die entsprechende Anzahl der Leerplätze des zweiten Zwischenspeichers ZP2. Die erste und eine zweite Vergleichseinheit VE1, VE2 vergleichen nun die abgespeicherten Schwellenwerte mit dem Inhalt der die Anzahl der eingeschriebenen Datenworte bzw. Leerplätze enthaltenden Register. Solange die Registerin-

F. Gasser -1

halte gleich oder größer als der entsprechende Schwellenwert sind, wird ein Signal an das Unterbrechungsanforderungsregister IANR der Unterbrechungsanforderungslogik IRL abgegeben.

- 05 Die Unterbrechungsregister IANR, IAUSR, IMAR der Unterbrechungsanforderungslogik IRL weisen für alle ersten Zwischenspeicher ZP1 ein gemeinsames Bit, für alle zweiten Zwischenspeicher ZP2 ein gemeinsames Bit und für eine mögliche Übertragung von Daten in Paketform (wird später noch 10 beschrieben) ein weiteres gemeinsames Bit auf.

Enthält das System mehr als zwei Zwischenspeicher ZP1, ZP2 so werden zur Auffindung der ein Signal aussendenden Vergleichseinheit VE1, VE2 die folgenden nicht näher dargestellten Register benötigt.

- 15 Ein erstes Unterbrechungs-Identifizierungsregister, das pro erstem Zwischenspeicher ZP1 ein Bit aufweist, welches durch die zugehörige Vergleichseinheit VE1 beim Erreichen des Schwellenwertes auf logisch "1" gesetzt wird. Ein entsprechendes zweites Unterbrechungs-Identifizierungsregister für die zweiten Zwischenspeicher ZP2 und ein entsprechendes drittes Unterbrechungs-Identifizierungsregister für eine jedem ersten Zwischenspeicher ZP1 zugeordnete (wird später beschrieben) Logikeinheit LE.

- 25 Durch ein z.B. von der ersten Vergleichseinheit VE1 abgegebenes Signal an das Unterbrechungsanforderungsregister IANR wird dort das für den ersten Zwischenspeicher ZP1 vorgesehene Bit auf einen logischen "1"-Pegel gesetzt. Entsprechend der in dem Unterbrechungsmaskierungsregister IMAR vorliegenden Maske, die über den Adressen-/Datenbus ADB von der Steuereinheit SE aufgelegt wird, wird nun das von dem Unterbrechungsanforderungsregister IANR vorliegende "1"-Pegel signal zum Unterbrechungsausführungs-

F. Gasser -1

register IAUSR durchgeschaltet oder gesperrt. Jeder lo-

gische "1"-Pegel im Unterbrechungsausführungsregister

IAUSR wird durch die ODER-Schalteinheit OR als Unter-

brechungssignal über die Unterbrechungsanforderungsleitung

05 UL zur Rechnereinheit RE gemeldet.

Die Rechnereinheit RE registriert das Unterbrechungs-

signal, beendet seine gerade laufende Arbeit und legt über

den Adressen-/Datenbus ADB im Unterbrechungsmaskierungs-

register IMAR eine neue Maske auf, so daß keine weiteren

10 von der Rechnereinheit RE ungewollten Unterbrechungs-

signale an die Rechnereinheit RE durchgeschaltet werden

können. Jetzt liest die Rechnereinheit RE über den Adres-

sen-/Datenbus ADB den Inhalt des Unterbrechungsanforde-

rungsregister IANR aus, wodurch sie mitgeteilt bekommt,

15 daß die Schwelle im ersten Zwischenspeicher ZP1 erreicht wurde.

Wird von einem System mit mehreren Zwischenspeichern ZP1,

ZP2 ausgegangen, so erhält die Rechnereinheit RE durch den

Inhalt des Unterbrechungsanforderungsregisters IANR zu-

20 nächst die Information, ob ein Schwellenwert in einem

ersten oder einem zweiten Zwischenspeicher ZP1, ZP2 er-

reicht wurde. Sodann greift die Rechnereinheit RE auf das

erste Unterbrechungs-Identifizierungsregister oder auf das

zweite Unterbrechungs-Identifizierungsregister zu, wodurch

25 die Rechnereinheit RE erkennt, welchen Zwischenspeicher

ZP1, ZP2 sie zu bedienen hat.

Unter der Annahme, daß die beiden vorgegebenen Schwellen-

werte im ersten und im zweiten Zwischenspeicher ZP1, ZP2

gleichzeitig erreicht werden, wird entsprechend der Bear-

30beitungspriorität, die im Programm der Rechnereinheit RE

vorgebar ist, vorgegangen.

F. Gasser -1

Im vorliegenden Fall legt nun die Rechnereinheit RE über den Adressen-/Datenbus ADB die Adresse der ersten Zähler-Registereinheit ZR1 an und der Inhalt des Register, der inzwischen 10 sei, wird ausgelesen und in der Rechnereinheit RE abgespeichert. Aufgrund dieses Registerinhaltes
05 liest nun die Rechnereinheit RE über den Adressen-/Datenbus ADB 10 Datenwörter aus dem ersten Zwischenspeicher ZP1 aus und speichert sie zur weiteren Verarbeitung ab. Durch wird der Inhalt des Registers der ersten Zähler-
10 Registereinheit ZR1 entsprechend dekrementiert. Sobald die erste Vergleichseinheit VE1 erkennt, daß der vorgegebene Schwellenwert unterschritten wurde, wird auch das Signal an das Unterbrechungsanforderungsregister IANR aufgehoben und das entsprechende Bit im Unterbrechungsanforderungs-
15 register IANR auf den logischen "0"-Pegel gesetzt.

Falls inzwischen ein weiteres Unterbrechungssignal nach geänderter Maske, da der vorliegende Vorgang durch die Rechnereinheit RE abgeschlossen war, aufgrund des Erreichens des Schwellenwertes des zweiten Zwischenspeichers
20 ZP2 der Rechnereinheit RE vorliegt, wiederholt sich analog zum vorher beschriebenen Vorgang der gleiche Ablauf. Die Rechnereinheit RE liest dabei den Inhalt der zweiten Zähler-Registereinheit ZR2, der inzwischen 11 sei, aus und speichert ihn ab. Nun überträgt die Rechnereinheit RE 11
25 Datenwörter zum zweiten Zwischenspeicher ZP2. Dabei wird die zweite Zähler-Registereinheit ZR2 dekrementiert und das zugehörige Bit im Unterbrechungsanforderungsregister IANR nach Unterschreiten des Schwellenwertes auf den "0"-Pegel gesetzt. Die Rechnereinheit RE kann nun wieder
30 solange andere Aufgaben bearbeiten, bis erneut die für die Zwischenspeicher ZP1, ZP2 vorgegebenen Schwellenwerte überschritten werden.

F. Gasser -1

Durch die von der Rechnereinheit RE vorgebbaren Schwellenwerte, d.h. das Programmieren der Schwellenlogikeinheiten SL1, SL2, wird eine optimale Anpassung der verschiedenen Geschwindigkeiten der Signale der jeweils angeschlossenen

- 05 Übertragungsleitungen und der jeweils benutzten Rechnereinheit RE ermöglicht. Dabei können durch die vorgebbaren Schwellenwerte die Geschwindigkeit der Rechnereinheit RE zum Auslesen und Einschreiben eines Datenwortes in einen Zwischenspeicher ZP1, ZP2, die verschiedenen Prioritäten
10 eines Unterbrechungssignals sowie besondere Gegebenheiten der Zwischenspeicher ZP1, ZP2 mühelos berücksichtigt werden. Dies hat eine minimale Belastung der Rechnereinheit RE durch Unterbrechungsbearbeitungszeiten zur Folge. Solle während des Betriebes eine Verkehrslaständerung von
15 Seiten der Übertragungsleitungen auftreten, kann die Rechnereinheit RE durch das Ändern der Schwellenwerte auch solche Betriebsfälle entsprechend leicht steuern.

- Für den Fall, daß die von den PCM-Leitungen kommenden Daten in Paketform gesendet werden, ist gemäß der Erfindung zwischen jede Eingabeeinheit EE und jedem ersten Zwischenspeicher ZP1 eine Logikeinheit LE geschaltet, die je über eine Verbindungsleitung VL mit dem Unterbrechungsanforderungsregister IANR verbunden ist. Die Logikeinheit LE decodiert das Ende-Wort einer Nachricht und beschreibt
25 über die Verbindungsleitung VL ein zugehöriges Bit im Unterbrechungsanforderungsregister IANR. Bei einem System mit mehreren ersten Zwischenspeichern ZP1, sind die Logikeinheiten LE mit dem dritten Unterbrechungs-Identifizierungsregister verbunden. Somit wird der Rechnereinheit RE
30 bei entsprechender Maske im Unterbrechungsmaskierungsregister IMAR über das Unterbrechungsausführungsregister

3424587

F. Gasser -1

IAUSR ein Unterbrechungssignal gesendet, wenn das Ende
einer Nachricht im ersten Zwischenspeicher ZP1 einge-
schrieben ist. Andernfalls würde das Ende einer Nachricht
solange im ersten Zwischenspeicher ZP1 stehen bleiben, bis
05 eine nachfolgende Nachricht den ersten Zwischenspeicher
ZP1 bis zum vorgegebenen Schwellenwert aufgefüllt hätte.

- 15 -
- Leerseite -

zu SL2

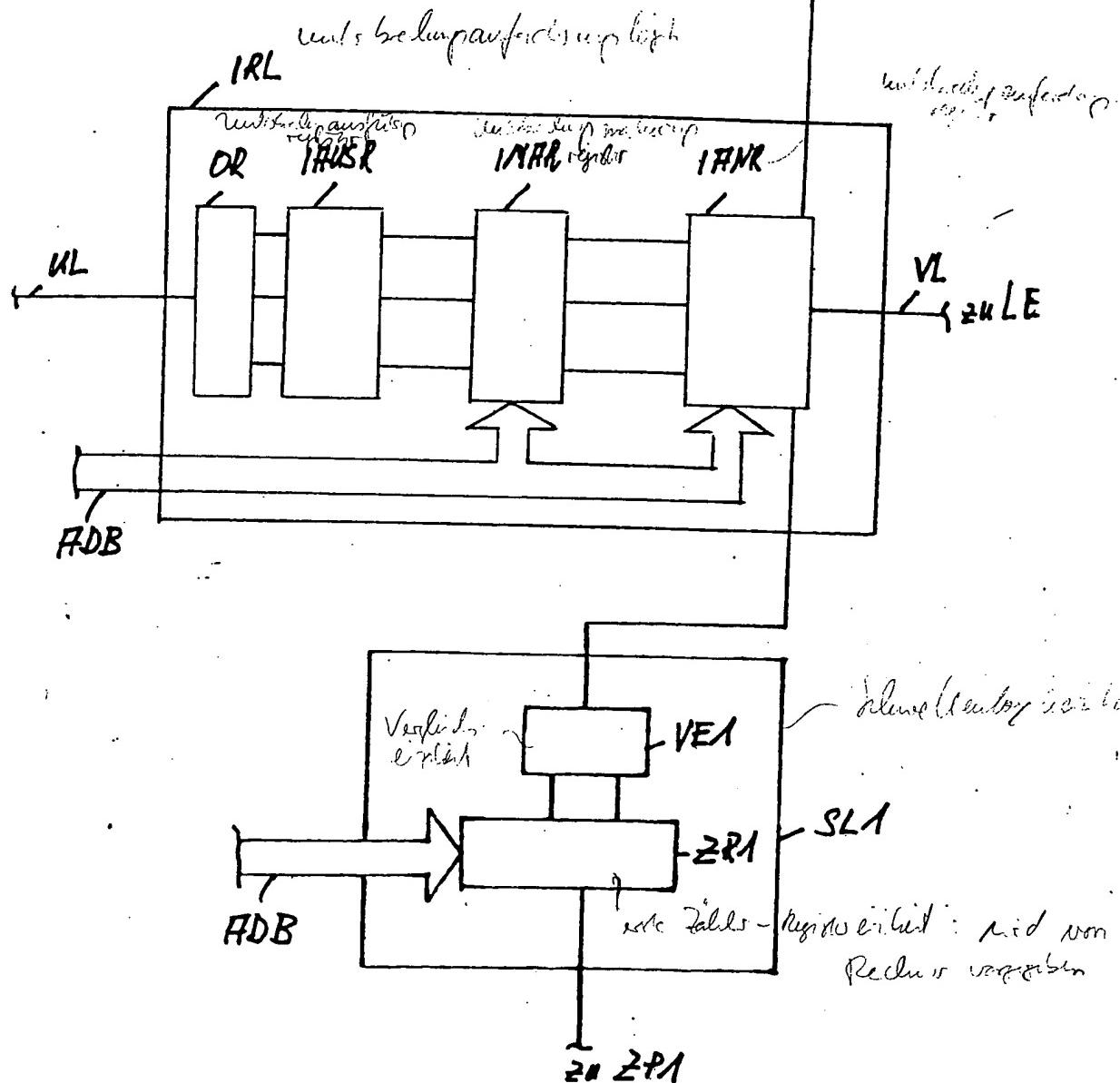


FIG 2

AN DER STATION

02.07.1984

SSC3-AKU 1984

CONT.

-17-

Numm r: 34 24 587
Int. Cl.4: G 06 F 13/00
Anmeldetag: 4. Juli 1984
Off nlegungstag: 9. Januar 1986

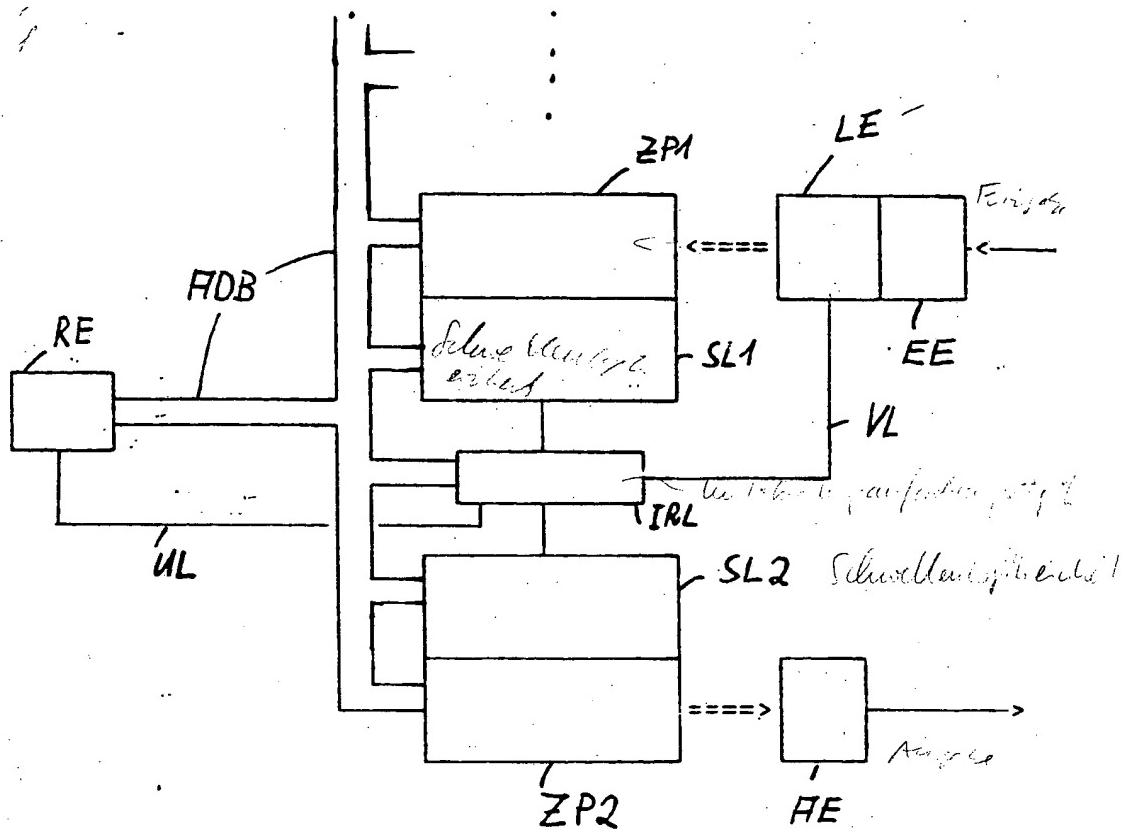


FIG 1

DOCKET NO: GR 0091696

SERIAL NO: 09/829,330

APPLICANT: Becker et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

F. Gasser-1